

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat  
(c) 2004 EPO. All rts. reserv.



10773401

Basic Patent (No,Kind,Date): JP 4260363 A2 920916 <No. of Patents: 002>

**INTEGRATED CIRCUIT COMPONENT AND MANUFACTURE THEREOF**  
(English)

Patent Assignee: TDK CORP

Author (Inventor): IKEDA MASAAKI; FURUKAWA NOBUO; KODAMA MITSUFUMI

IPC: \*H01L-025/00; H01L-025/16

Derwent WPI Acc No: G 92-360394

JAPIO Reference No: 170044E000152

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
JP 4260363	A2	920916	JP 9142590	A	910214 (BASIC)
JP 2944768	B2	990906	JP 9142590	A	910214

Priority Data (No,Kind,Date):

JP 9142590 A 910214

DIALOG(R)File 347:JAPIO  
(c) 2004 JPO & JAPIO. All rts. reserv.

03895263 \*\*Image available\*\*

## INTEGRATED CIRCUIT COMPONENT AND MANUFACTURE THEREOF

PUB. NO.: 04-260363 [JP 4260363 A]  
PUBLISHED: September 16, 1992 (19920916)  
INVENTOR(s): IKEDA MASAAKI  
FURUKAWA NOBUO  
KODAMA MITSUFUMI

APPLICANT(s): TDK CORP [000306] (A Japanese Company or Corporation), JP  
(Japan)

APPL. NO.: 03-042590 [JP 9142590]  
FILED: February 14, 1991 (19910214)  
INTL CLASS: [5] H01L-025/00; H01L-025/16  
JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)  
JOURNAL: Section: E, Section No. 1312, Vol. 17, No. 44, Pg. 152,  
January 27, 1993 (19930127)

### ABSTRACT

PURPOSE: To provide integrated circuit components where a ceramic multilayer substrate with at least one type of passive element which is selected from an inner wiring or a group of L, C, and R and a substrate with an active element such as a thin film transistor, etc., by a metal bump or a conductive paste with bonding.

CONSTITUTION: A substrate 1 where a thin film transistor is formed and a ceramic multilayer substrate 2 with an inner wiring or at least one passive element are connected electrically with a metal bump or a conductive paste.

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-260363

(43) 公開日 平成4年(1992)9月16日

(51) Int.Cl.<sup>5</sup>

H 01 L 25/00  
25/16

識別記号 庁内整理番号

B 7638-4M  
A 7638-4M

F I

技術表示箇所

審査請求 未請求 請求項の数4(全5頁)

(21) 出願番号 特願平3-42590

(22) 出願日 平成3年(1991)2月14日

(71) 出願人 000003067

ティーディーケイ株式会社  
東京都中央区日本橋1丁目13番1号

(72) 発明者 池田 正明

東京都中央区日本橋一丁目13番1号 ティ  
ーディーケイ株式会社内

(72) 発明者 古川 信男

東京都中央区日本橋一丁目13番1号 ティ  
ーディーケイ株式会社内

(72) 発明者 小玉 光文

東京都中央区日本橋一丁目13番1号 ティ  
ーディーケイ株式会社内

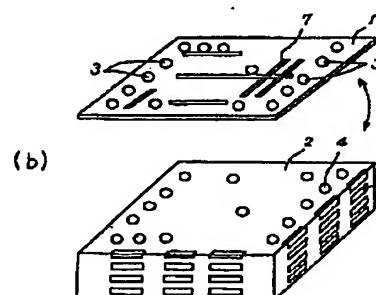
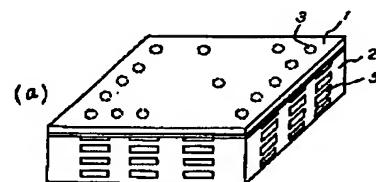
(74) 代理人 弁理士 山谷 晴榮 (外1名)

(54) 【発明の名称】 集積回路部品とその製造方法

(57) 【要約】

【目的】 本発明は集積回路部品とその製造方法に関し、内部配線もしくは、L, C, Rグループから選ばれた少なくとも1種の受動素子を具備するセラミック多層基板と薄膜トランジスタ等の能動素子を具備する基板を金属パンプあるいは導電性ペーストにより接着して電気的に接続した集積回路部品を提供することを目的とする。

【構成】 薄膜トランジスタを形成した基板1と、内部配線もしくは少なくとも1つの受動素子を有するセラミック多層基板2との間を金属パンプあるいは導電性ペーストで電気的に接続する。



## 【特許請求の範囲】

【請求項1】 薄膜トランジスタを形成したガラス基板と内部配線もしくは少なくとも1つの受動素子を具備するセラミック多層基板との間を金属パンプあるいは導電性ペーストで電気的に接続することを特徴とする集積回路部品。

【請求項2】 前記電気的接続部を非導電性接着剤で充填・封止することを特徴とする請求項1記載の集積回路部品。

【請求項3】 前記非導電性接着剤として液状ガラスを用いることを特徴とする請求項2記載の集積回路部品。

【請求項4】 前記電気的接続部の周囲に、一部を残して非導電性接着剤を付着し、これを真空雰囲気中に配置した後、徐々に常圧に戻すことにより非導電性接着剤を充填・封止することを特徴とする集積回路部品の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は集積回路部品に係り、特に内部配線もしくは少なくとも1つの受動素子を具備するセラミック多層基板と薄膜トランジスタ等の能動素子を具備する基板を金属パンプあるいは導電性ペーストによって接着して電気的に接続した集積回路部品に関する。

## 【0002】

【従来の技術】 従来の混成集積回路は例えば、薄板状に形成したコイル、コンデンサ、抵抗等の受動素子を積層体として一体化し、内部配線を施し、RCネットワーク、フィルタ、トランス等を構成する積層チップ状のセラミック多層基板に、別工程で製造したトランジスタ等の能動素子やICを搭載して混成集積回路を構成している。

【0003】 例えば図6に示す如く、薄板状の抵抗51、セラミックコンデンサネットワーク52、内部電極53を積層させた積層チップ状のセラミック多層基板上にスマートアウトライン(Small Outline, SO)パッケージを施したIC55を搭載したものがある。なお54は端子電極、56はクロスオーバーガラスである(例えばNIKKEI MICRO DEVICES, 1990年4月号pp. 104~118参照)。

## 【0004】

【発明が解決しようとする課題】 ところが従来のSOパッケージICはそのパッケージがエポキシ樹脂等であり、下部に位置する多層配線はセラミック材(フェライト材も含む)で構成されるため、その線膨張係数が1桁程度違うことも稀ではない。このため使用条件によってはヒートショック性や温度サイクルに対して装置の特性劣化をおこし易いなど信頼性に問題があった。

【0005】 さらに複品部品である積層チップ状のセラミック多層基板とSOパッケージICとはそれぞれ別個

の規格により製造されるため、これらを組合わせてもその形状は、整形性が悪く、異形状となり、チップマウンター等の自動実装機等にかかりにくいという問題もあった。

【0006】 またSOパッケージICをセラミック多層基板に搭載する従来の混成集積回路はその厚さ、大きさとも小型化するには限界があり、混成集積回路の集積度、小型化の点で問題があった。

【0007】 従って本発明の目的は、前記問題点を解決するため、整形性がよく、信頼性も高くかつ集積度の高い小型化した積層混成集積回路部品を提供するものである。

## 【0008】

【課題を解決するための手段】 前記目的を達成するため、本発明は薄膜トランジスタ等の能動素子を形成したガラス等の基板と、内部配線もしくは少なくとも1つの受動素子を形成した積層チップ状のセラミック多層基板との間を半田金属からなるパンプまたは導電性ペーストで接続するものである。

【0009】 このため本発明では、ガラス等の基板上に薄膜トランジスタを形成後、セラミック多層基板上の電極部もしくは、それと対応する位置にある薄膜トランジスタの電極部に半田あるいは金からなるパンプあるいは導電性ペーストで接続部を形成し、この基板を反転させて対応する電極部と接続するものである。

【0010】 さらに、金属性パンプや導電性ペーストで接続部を形成すると、接続部にすき間が出来るため、この接続部の一部を残して、接続部に非導電性接着剤を付着し、全体を真空雰囲気になるように減圧した後、徐々に常圧に戻すことにより、接続部を非導電性接着剤により充填封止することによりその信頼性が向上する。

## 【0011】

【作用】 このようにガラス等の基板を薄膜トランジスタの基板として用いているので、ガラスはSOパッケージにくらべ、線膨張係数がセラミック多層基板に近いため、ヒートショックにも強く、信頼性の高いものが得られる。

【0012】 また、SOパッケージICの如くパッケージの別部品をセラミック多層基板に搭載するものに比べ、本発明の集積回路部品は厚さも薄く、より一層の小型化を図ることもできる。

【0013】 その上接続部に出来る基板とセラミック多層基板とのすき間に非導電性接着剤が滲透、密着し、両者を完全に一体化するので、防湿効果が高まり部品の特性劣化を防止する。

## 【0014】

【実施例】 本発明の実施例を図1~図4によって説明する。

## 【0015】 (1) 第1の実施例

図1は本発明の第1の実施例の構造説明図である。

【0016】図1において1は薄膜トランジスタをその表面に形成したガラス基板、2は薄膜状の内部配線もしくは少なくとも1つの受動素子を形成したセラミック多層基板、3はバンプ、4はパッド部、5は引出し電極を示す。

【0017】図1(a)において、薄膜トランジスタの形成されたガラス基板1と内部配線もしくは少なくとも1つの受動素子が形成されたセラミック多層基板2は、ガラス基板1の表面上に形成されたバンプ3とパッド4によってセラミック多層基板2内の内部配線あるいは素子の接続部と電気的に接続されるとともに一体化されている。

【0018】図1(b)はガラス基板1とセラミック多層基板2を接続する前の状態図である。その片面に複数の薄膜トランジスタ7を形成し、これらの薄膜トランジスタの組合せによってフィルタ等の回路を構成した薄膜トランジスタICをガラス基板1上に形成する。

【0019】この薄膜トランジスタ7を形成した主面上のガラス基板1に金属層から成るバンプ3を転写スクリーン印刷または蒸着法で形成する。一方セラミック多層基板2上のガラス基板1を反転させた時、バンプ3と対応する位置にパッド4が形成されている。

【0020】接合時に必要に応じ加圧、加熱(超音波)を加える。

【0021】次にこのセラミック多層基板2上に、金属バンプ3を有するガラス基板1を反転させて、対応するバンプ3とパッド4を重ねて両者を電気的に接続し、図1(a)の如き一体化した混成集積回路チップとする。

【0022】さらに必要に応じてセラミック多層基板2の側面の引出し電極5と、ガラス基板1上の所定部分に銀-パラジウム端子電極を形成する。

【0023】ところで図1の如く、バンプによってガラス基板1とセラミック基板2とを接続すると、両者の接続後少なくとも5μm～10μmのすき間があく。このすき間から湿気が入ると、電極金属であるアルミニウム等が劣化するなど悪影響を及ぼす。

【0024】これらの点を解決するため、図2に示す如き処理をすることもできる。即ち、一体化したガラス基板1とセラミック多層基板のバンプ接続部周辺に、例えば市販のOCDの如き液状ガラス7を刷毛塗りなどの適宜の方法で塗布する、この時、その一部に液状ガラスの付着しない部分8を残す(図2(a)参照)。

【0025】次にこの一体化後の素子10を、図3に示す如きベルジャ11中に配置し、まず排気口12より真空になるように排気する。

【0026】真空中に排気した後、吸気口13よりガスを徐々に流入し、常圧に戻す。

【0027】この過程において、液状ガラス7はガラス基板1とセラミック多層基板2の間のバンプ接続部に気密に充填され、そのすき間がなくなる。

【0028】次に余分の液状ガラス、特に薄膜トランジスタ上の表面電極やセラミック多層基板2の引出し電極5を覆っている液状ガラスを除去した後、450℃～800℃で焼成して、ガラス層7'を形成し、充填封止を完成してガラス基板とセラミック多層基板2を一体化する(図2(b)参照)。

【0029】一体化した後、セラミック多層基板2の引出し電極5と必要があれば薄膜トランジスタ7のバット電極をエッチングにより露出し、銀-パラジウム電極材料を塗布し、500℃以下で焼成し端子電極を形成する。

【0030】(2) 第2の実施例  
本発明の他の実施例は、薄膜トランジスタを形成した基板1とセラミック多層基板21とが、バンプでなく導電性ペーストから成る取り出し端子23によって一体化されるものである。

【0031】図4(a)、(b)にそれらの例を示す。図4においてセラミック多層基板21内には図4(a)、(b)にその断面図で示すように、内部配線やL、C、Rのグループから選ばれた少なくとも1つの受動素子が形成されている。

【0032】図4(a)はガラスセラミック等から成るセラミック多層基板21中には銀-パラジウムから成る内部配線層22によって、コンデンサ部24と配線部25が形成され、その表面には取り出し端子23が形成されている。1は薄膜トランジスタが形成されるガラス基板、7'はガラス層である。

【0033】図4(b)は、内部に内部配線層22を具備するセラミック多層基板21を用いたもので、その表面にはやはり同じく銀-パラジウムの取り出し端子23が形成され導電性ペースト24でガラス基板1のTFTと接続されている。

【0034】なお、このようなセラミック多層基板の1例として、フィルタを構成した積層LCチップの例を図5(a)、(b)、(c)に示す。

【0035】図5(a)は積層LCフィルタの斜視図、図5(b)はその内部結線回路図、図5(c)はそのトランジスタ部に用いられるインダクタ(L)の内部構造説明図である。

【0036】図5において、41はコンデンサネットワーク部、42はトランジスタ部、43は、内部導体、44は外部電極、45は引出し電極、46は端子電極である。

【0037】なお、これらの実施例において薄膜トランジスタを形成する基板としてガラス基板を用いた例について説明したが、本発明はセラミック材と線膨張係数が近く、薄膜トランジスタが形成出来るものであればこれに限られるものではない。

【0038】また、バンプ等の接続部を封止する非導電性接着剤として液状ガラスを用いた例について説明したが、本発明はこれに限らず、非導電性接着剤であれば

5

エポキシ樹脂、シリコーン樹脂、収縮性樹脂も使用可能である。

【0039】さらに、前記の実施例では部品のチップの製造工程を図示して説明したが、本発明は量産化も可能である。

【0040】この場合、扱い易い大きさの大セラミック基板を用い、薄膜トランジスタを形成したガラス基板を配位し、接続した後に、縦・横にダイシングソーでカットして多数個の素子を一度に取ることができる。

【0041】

【発明の効果】本発明の薄膜トランジスタはガラス基板など、線膨張係数がSOパッケージに比べセラミック多層基板と近い基板上で形成されるため、ヒートショックや温度サイクルに対して強く、信頼性が向上する。

【0042】また、SOパッケージを施す前の薄膜トランジスタを受動素子等と一体化するので部品の小型化への貢献度が大きい。

【0043】本発明により、金属パンプによって薄膜IC部と積層チップを接続した集積回路部品において、パンプ接続部を非導電性接着剤で充填封止することができ、この部分の防温効果が一段と高まり、特性劣化を防止することが出来る。

10

6

【0044】このようにして製造した集積回路部品は小型、軽量、高信頼性、多機能、低コストを実現し、自動実装し易くなり、フィルタコンピュータ用ディレイライン、汎用ロジック回路、DC-DCコンバータ、電子スイッチ、オーディオ用のフィルタ等各種の電子部品に利用することが出来る。

【図面の簡単な説明】

【図1】本発明の一実施例の構造説明図及びその製造工程説明図である。

【図2】本発明の実施例の製造工程説明図である。

【図3】本発明の実施例の製造装置の概略図である。

【図4】本発明の他の実施例の構造説明図である。

【図5】セラミック多層基板の一例の構造説明図である。

【図6】従来例の斜視図である。

【符号の説明】

1 ガラス基板

2 セラミック多層基板

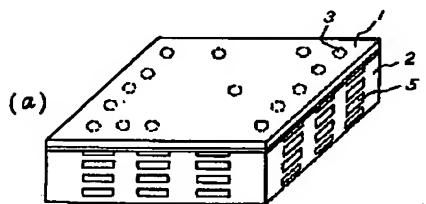
3 パンプ

4 パッド

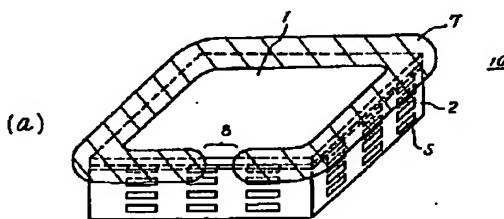
5 引出し電極

20

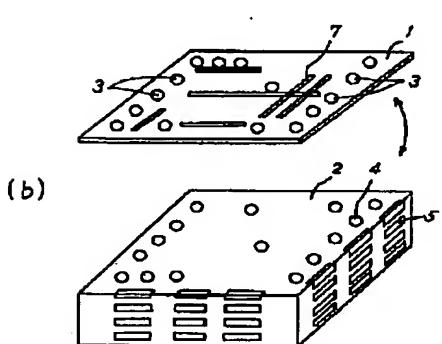
【図1】



【図2】



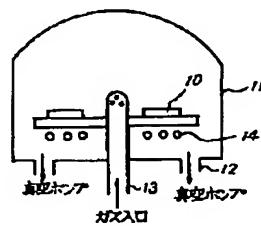
(b)



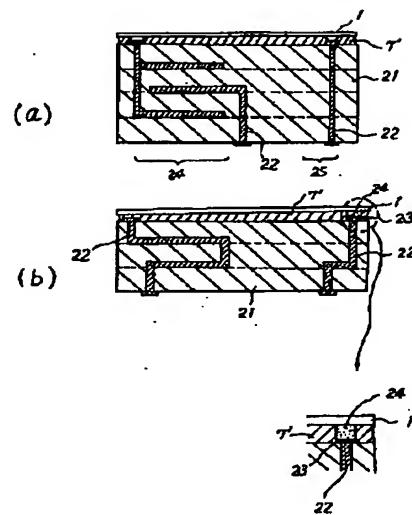
(5)

特開平4-260363

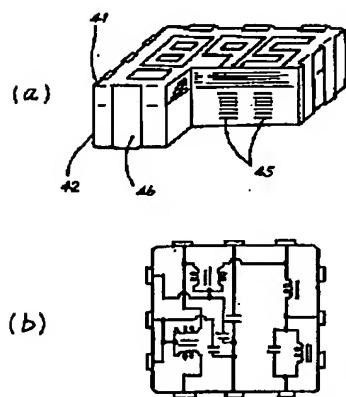
【図3】



【図4】



【図5】



【図6】

